

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-21089

(43)公開日 平成6年(1994)1月28日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/336				
29/784				
21/28	3 0 1 T	9055-4M		
		7377-4M	H 0 1 L 29/ 78	3 0 1 P
		9170-4M	27/ 08	1 0 2 A

審査請求 未請求 請求項の数3(全 6 頁) 最終頁に続く

(21)出願番号 特願平4-174111

(22)出願日 平成4年(1992)7月1日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 小林 幸春

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74)代理人 弁理士 鈴木 喜三郎 (外1名)

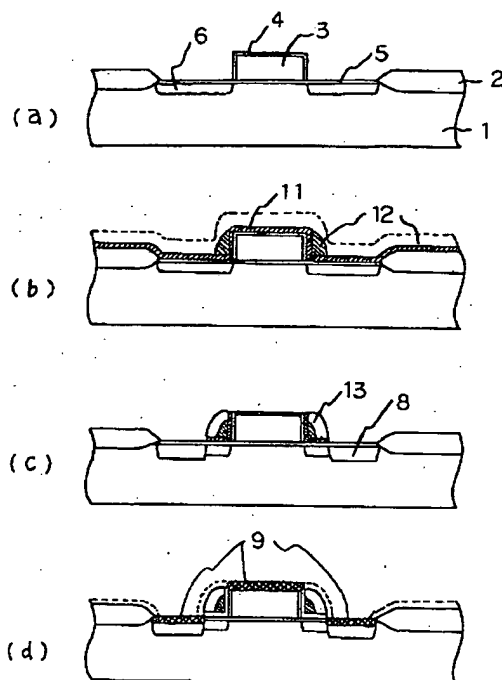
(54)【発明の名称】 半導体装置とその製造方法

(57)【要約】

【目的】MOSトランジスタの電極を自己整合的に分離する際に電極間の距離を大きくして電極間ショートを引き起こしにくい信頼性の高い半導体装置とその製造方法を提供する。

【構成】MOSトランジスタのゲート構成物質の側面にシリコン窒化膜とCVD酸化膜からなる二重層の側壁あるいはシリコン窒化膜、多結晶シリコン膜、多結晶シリコン酸化膜の三重層からなる側壁のように異種物質の多重層を用いて側壁を作製して電極間の分離を行い自己整合的に金属とシリコンの化合物を形成する。

【効果】電極間の距離が従来よりも大きくなって分離が確実にできる構造となり、異物によって電極間がショートするというような半導体装置の信頼性を低下させる問題を解決できた。



1

2

10

20

30

40

50

3

4

10

20

30

40

50

5

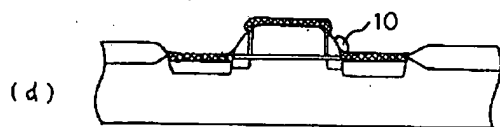
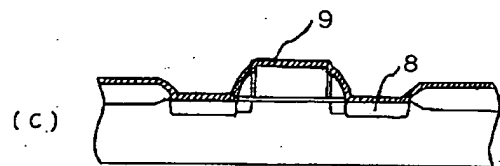
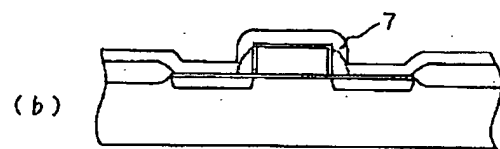
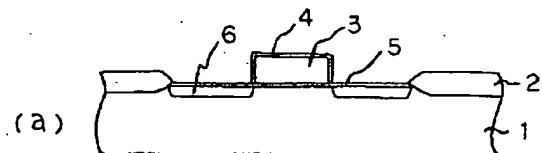
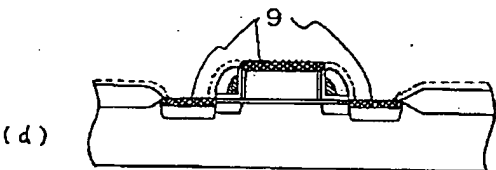
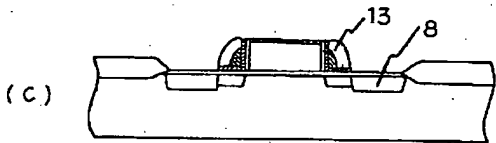
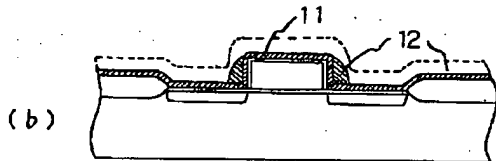
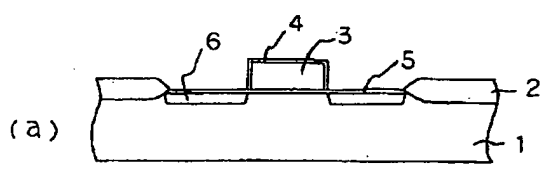
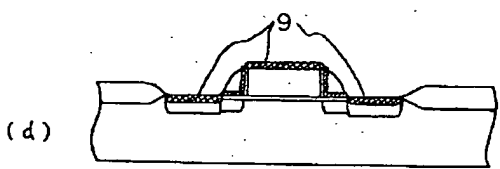
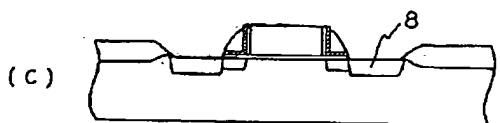
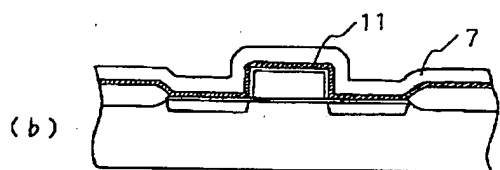
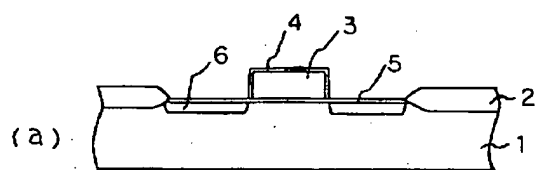
6

10

20

30

40



(51)Int.Cl.

27/088